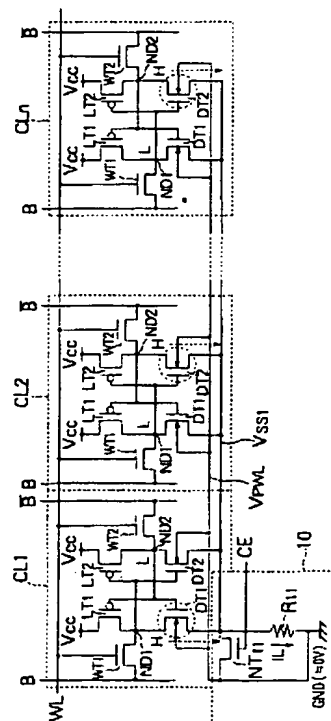


(11)特許出願公開番号



## 【特許請求の範囲】

【請求項1】 基板とソースとの間に電位差が生じるとしきい値が上昇するトランジスタを有し、スタンバイ時に当該トランジスタに流れるリーク電流を制御する集積回路のスタンバイ電流制御であって、

上記トランジスタの基板電位とソース配線とを接続する抵抗手段と、

非スタンバイ時に、上記基板電位とソース配線電位とを同電位に保持する電位保持手段とを有するスタンバイ電流制御回路。

【請求項2】 上記電位保持手段は、起動信号に応じて基板電位とソース配線とを自動的に接続するスイッチング素子を有する請求項1記載のスタンバイ電流制御回路。

【請求項3】 上記電位保持手段は、起動信号に応じて上記抵抗手段をバイパスして基板電位とソース配線とを自動的に接続するスイッチング素子を有する請求項1または請求項2記載のスタンバイ電流制御回路。

【請求項4】 起動信号に応じてスタンバイ時に基板電位と上記抵抗手段とを自動的に接続するスイッチング素子を有する請求項1、2または3記載のスタンバイ電流制御回路。

【請求項5】 正負電源間に接続され、基板とソースとの間に電位差が生じるとしきい値が上昇するトランジスタを含み、スタンバイ時に当該トランジスタに流れるリーク電流を制御する集積回路のスタンバイ電流制御であって、

集積回路のソース共通配線と基板電位とを接続する抵抗手段を有し、

上記抵抗手段が、正電源と上記トランジスタの正側ソース共通配線との間に設けられたPチャネルMOSトランジスタと、負電源と負側ソース共通配線との間に設けられたNチャネルMOSトランジスタとからなり、上記PチャネルMOSトランジスタのゲートが上記負側ソース共通配線に接続され、上記NチャネルMOSトランジスタのゲートが正側ソース共通配線に接続されているスタンバイ電流制御回路。

【請求項6】 起動信号に応じて非スタンバイ時に正電源と正側ソース共通配線、並びに負電源と負側ソース共通配線とをそれぞれ自動的に接続するスイッチング回路を有する請求項5記載のスタンバイ電流制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、SRAMセル等のスタンバイ（待機）時の電流を制御するためのスタンバイ電流制御回路に関するものである。

## 【0002】

【従来の技術】 近年の微細化加工技術の進歩に伴い、たとえばSRAM等のメモリトランジスタを構成するMOSFET（以下、MOSトランジスタという）のチャネ

ル長（L長）は、 $1\mu\text{m}$ 程度であったものが、 $0.5\mu\text{m}$ 、 $0.3\mu\text{m}$ 、 $0.25\mu\text{m}$ と大幅に短くなる傾向にある。その結果、耐圧等の関係から電源電圧 $V_{cc}$ のレベルを、一般的な5Vから3V、2V、あるいは1.5Vと下げる必要性が生じ、これに伴い低電源電圧化のための技術開発が盛んに行われている。

## 【0003】

【発明が解決しようとする課題】 ところで、上述した低電源電圧化の状況においても、デバイスの動作速度は高速性を維持する必要があることから、MOSトランジスタのしきい値電圧 $V_{th}$ は下げる必要がある。

【0004】 しかしながら、MOSトランジスタのしきい値電圧 $V_{th}$ を単純に下げた場合、これに伴いMOSトランジスタのいわゆるサブスレッショルドリーク電流 $I_L$ は却って増大してしまうという問題がある。この問題について、図6および図7を参照しながらさらに詳細に説明する。

【0005】 図6は、MOSトランジスタにおけるしきい値電圧 $V_{th}$ とサブスレッショルドリーク電流 $I_L$ との関係を示す特性図である。図6において、横軸はしきい値電圧（ゲートソース間電圧 $V_{gs}$ ）、縦軸はサブスレッショルドリーク電流 $I_L$ をそれぞれ表しており、縦軸は対数（Log）目盛で表してある。

【0006】 また、図7はCMOS方式による一般的なTFT負荷型SRAMの等価回路を示している。図7において、 $B_+$ 、 $B_-$ はビット線、WLはワード線、 $V_{cc}$ は電源電圧、WT1、WT2はワードトランジスタ、DT1、DT2はドライバトランジスタ、LT1、LT2は負荷トランジスタ、ND1、ND2は記憶ノードをそれぞれ示している。

【0007】 このSRAMでは、ドライバトランジスタDT1およびDT2のソースと基板は共通の負側ソース共通配線 $V_{ss1}$ に対して接続されており、ドライバトランジスタDT1およびDT2のソース側電位と基板電位とを同電位に保持することにより高速動作を図っている。

【0008】 図6に示すように、MOSトランジスタのしきい値電圧がたとえば $V_{thc}$ から $V_{thl}$ に下がると、そのリーク電流特性の傾きは変化しないことから、サブスレッショルドリーク電流は $I_{L2}$ から $I_{L1}$ と増大する。

【0009】 この原理を図7のSRAMセルにあてはめて検討してみると、SRAMセルにおいては、スタンバイ時に、ハイレベル（H）に保持されている記憶ノードND2と接続されているドライバトランジスタDT2にサブスレッショルドリーク電流 $I_L$ が流れる。しかし、ドライバトランジスタDT1およびDT2のソースと基板は共通の負側ソース共通配線 $V_{ss1}$ に対して接続されていることから、ドライバトランジスタDT2のソースと基板とは同電位となり、いわゆる基板バイアス効果が

発現されず、ドライバトランジスタDT2のしきい値電圧は変化しない。したがって、低電圧化を実現しつつ、高速動作を維持するようにしきい値電圧が低く設定されたSRAMセルでは、サブスレッショルドリーク電流ILは減少するどころか、しきい値電圧の低下に逆比例して増大してまう。SRAMセルのスタンバイ電流は、ドライバトランジスタDT1、DT2のサブスレッショルドリーク電流が支配的であることから、従来のSRAMでは、スタンバイ電流がしきい値電圧の低下に逆比例して増大してまう。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低電圧化、高速化を実現しつつ、スタンバイ電流の低減を図れるスタンバイ電流制御回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の基板とソースとの間に電位差が生じるとしきい値が上昇するトランジスタを有し、スタンバイ時に当該トランジスタに流れるリーク電流を制御する集積回路のスタンバイ電流制御は、上記トランジスタの基板電位とソース配線とを接続する抵抗手段と、非スタンバイ時に、上記基板電位とソース配線電位とを同電位に保持する電位保持手段とを有する。

【0012】また、本発明のスタンバイ電流制御回路では、上記電位保持手段は、起動信号に応じて基板電位とソース配線とを作動的に接続するスイッチング素子を有する。また、上記電位保持手段は、起動信号に応じて上記抵抗手段をバイパスして基板電位とソース配線とを作動的に接続するスイッチング素子を有する。また、本発明のスタンバイ電流制御回路では、起動信号に応じてスタンバイ時に、基板電位と上記抵抗手段とを作動的に接続するスイッチング素子を有する。

【0013】また、本発明の正負電源間に接続され、基板とソースとの間に電位差が生じるとしきい値が上昇するトランジスタを含み、スタンバイ時に当該トランジスタに流れるリーク電流を制御する集積回路のスタンバイ電流制御は、集積回路のソース共通配線と基板電位とを接続する抵抗手段を有し、上記抵抗手段が、正電源と上記トランジスタの正側ソース共通配線との間に設けられたPチャネルMOSトランジスタと、負電源と負側ソース共通配線との間に設けられたNチャネルMOSトランジスタとからなり、上記PチャネルMOSトランジスタのゲートが上記負側ソース共通配線に接続され、上記NチャネルMOSトランジスタのゲートが正側ソース共通配線に接続されている。

【0014】また、本発明のスタンバイ電流制御は、起動信号に応じて非スタンバイ時に正電源と正側ソース共通配線、並びに負電源と負側ソース共通配線とをそれぞれ作動的に接続するスイッチング回路を有する。

【0015】

【作用】本発明のスタンバイ電流制御回路によれば、スタンバイ時に、トランジスタにリーク電流が流れると抵抗手段にその電流が流れ、ソース配線と基板電位との間に電位差が生じ、これが基板バイアスとなり、トランジスタのしきい値が上昇する。このようにスタンバイ時にしきい値電圧が上昇することに伴い、リーク電流が大きく減少する。

【0016】また、非スタンバイ時、すなわち通常の動作時には、たとえば起動信号としてのチップイネーブル信号に応じてスイッチング素子が導通状態となり、基板電位とソース共通配線電位とが同電位に保持され、高速読み出し動作が維持される。

【0017】また、本発明のスタンバイ電流制御回路によれば、PチャネルMOSトランジスタのゲートが負側ソース共通配線に接続され、NチャネルMOSトランジスタのゲートが正側ソース共通配線に接続されてることにより、集積回路に流れる電流により、正側ソース共通配線の電圧が降下し、負側ソース共通配線の電圧が上昇する。負側ソース共通配線の電圧が上昇するとPチャネルMOSトランジスタのオン抵抗が増大し、正側ソース共通配線への電源電流が減少する。その結果、NチャネルMOSトランジスタのオン抵抗が増大し、また、リーク電流が減少する。また、このとき、負側ソース共通配線の電位は降下する。負側ソース共通配線の電位が降下したことに伴い、PチャネルMOSトランジスタのオン抵抗が減少し、正側ソース共通配線への電源電流が増大する。以上のように、スタンバイ時には上述した帰還ループによるセルフバイアスによって、電源電流が一定値になるよう制御され、リーク電流が効果的に抑制される。

【0018】これに対して、動作時には、起動信号により負電源と負側ソース共通配線、並びに正電源と正側ソース共通配線とはそれぞれ同電位に保持され、高速読み出し動作が維持される。

【0019】

【実施例1】図1は、本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第1の実施例を示す回路図である。図1において、B、B<sub>1</sub>はビット線、WLはワード線、CL1、CL2、～、CLnはSRAMセル、V<sub>PWL</sub>は基板電位線、V<sub>SS1</sub>は負側ソース共通配線、V<sub>cc</sub>は電源電圧、10はスタンバイ電流制御回路をそれぞれ示している。

【0020】SRAMセルCL1、CL2、～、CLnは、図7のセルと同様に、ドライバトランジスタDT1、DT2、負荷用トランジスタLT1、LT2、ワードトランジスタWT1、WT2により構成されている。各SRAMセルCL1、CL2、～、CLnのドライバトランジスタDT1およびDT2のソースは負側ソース共通配線V<sub>SS1</sub>にそれぞれ接続され、基板は基板電位線V<sub>PWL</sub>にそれぞれ接続されている。

【0021】その他の接続関係は図7のSRAMセルと同様である。すなわち、ドライバトランジスタDT1および負荷トランジスタLT1のドレイン同士の接続中点により記憶ノードND1が構成され、ドライバトランジスタDT2および負荷トランジスタLT2のドレイン同士の接続中点により記憶ノードND2が構成されている。ドライバトランジスタDT1および負荷トランジスタLT1のゲート同士が接続され、その接続中点は記憶ノードND2に接続されている。ドライバトランジスタDT2および負荷トランジスタLT2のゲート同士が接続され、その接続中点は記憶ノードND1に接続されている。そして、負荷トランジスタLT1、LT2のソースは電源電圧 $V_{cc}$ の供給ラインに接続されている。さらに、記憶ノードND1とビット線Bとの間にワードトランジスタWT1が接続され、記憶ノードND2とビット線Bとの間にワードトランジスタWT2が接続され、各ワードトランジスタWT1、WT2のゲートはワード線WLにそれぞれ接続されている。

【0022】スタンバイ電流制御回路10は、負側ソース共通配線 $V_{ss1}$ と接地ラインGNDとの間に接続された抵抗素子 $R_{11}$ と、負側ソース共通配線 $V_{ss1}$ と基板電位線 $V_{pwl}$ との間に接続されたスイッチング素子としてのNMOSトランジスタNT<sub>11</sub>とにより構成されている。そして、基板電位線 $V_{pwl}$ の一端側は抵抗素子 $R_{11}$ と接地ラインGNDとの接続中点に接続されている。またNMOSトランジスタNT<sub>11</sub>のゲートはチップイネーブル信号CEの入力ラインに接続され、チップイネーブル信号CEがローレベル（GNDレベル）で供給されるスタンバイ時には非導通状態に保持され、ハイレベル（ $V_{cc}$ レベル）で供給される動作時には導通状態に保持される。

【0023】抵抗素子 $R_{11}$ は、たとえば拡散層、またはポリシリコン、またはMOSトランジスタにより実現できる。図2は、拡散層を用いて形成した抵抗素子 $R_{11}$ のレイアウトパターン例を示している。たとえばスタンバイ電流 $I_L$ を $0.5\mu A$ 、拡散層のシート抵抗（ $\rho_s$ ）を $100\Omega$ 、幅（W）を $0.5\mu m$ として基板バイアス $V_{sl}$ （ $I_L \cdot R_s$ 、 $R_s$ は抵抗素子 $R_{11}$ の抵抗値）を $0.5V$ とした場合、抵抗素子 $R_{11}$ の抵抗値 $R_s$ 、拡散

$$\Delta V_{th} = K \{ (V_{sl} + 2\phi)^{1/2} - (2\phi)^{1/2} \} \quad \dots (1)$$

ここで、Kは基板効果定数で、次式で与えられる。

$$K = (2\epsilon_0 \epsilon_{si} q N)^{1/2} / C_{ox}$$

また、 $\phi$ はフェルミレベルと禁制体中央レベルとの差であり、次式で与えられる。

$$\phi = \{ (kT) / q \} \ln (N / n_i)$$

ただし、kはボルツマン定数、Tは絶対温度、qは電子の素電荷、Nは基板の不純物濃度、 $n_i$ は真性キャリア濃度をそれぞれ示している。

【0029】このようにスタンバイ時にしきい値電圧 $V_{th}$ が $\Delta V_{th}$ 上昇することに伴い、図6に示すように、サ

層の長さLは以下のように求まる。

$$R_s = V_{sl} / I_L = 0.5V / 0.5\mu A = 1M\Omega$$

$$L = (R_s / \rho_s) \cdot W = 5mm$$

この場合、図2に示すように、 $50\mu m$ の間隔をにおいて形成した端子 $T_1$ 、 $T_2$ 間に、 $1\mu m$ の間隔をにおいて $100\mu m$ の長さで50回折り返してパターンニングすることによりコンパクトに形成できる。

【0024】また、MOSトランジスタにより抵抗素子 $R_{11}$ を構成する場合には、チャネル幅W、チャネル長Lは所望の抵抗値を実現できるサイズに選定され、ゲート電圧も所望の抵抗値を実現できる電位に設定される。

【0025】次に、上記構成による動作を説明する。スタンバイ時には、チップイネーブル信号CEがローレベルでスタンバイ電流制御回路10のNMOSトランジスタNT<sub>11</sub>のゲートに印加される。これにより、NMOSトランジスタNT<sub>11</sub>は非導通状態に保持されることから、各SRAMセルCL1、CL2、～、CLnのドライバトランジスタDT1およびDT2のソースが接続された負側ソース共通配線 $V_{ss1}$ と、基板が接続された基板電位線 $V_{pwl}$ とは電氣的に非接続状態に保持され、分離される。また、スタンバイ時には、ワード線WLはローレベルに設定される。その結果、負側ソース共通配線 $V_{ss1}$ は抵抗素子 $R_{11}$ に接続され、基板電位線 $V_{pwl}$ は接地ラインとの接続状態が保持される。

【0026】このような状態において、ハイレベルに保持されている記憶ノードND1に接続されているドライバトランジスタDT1またはDT2にサブスレッショルドリーク電流 $I_L$ が流れ、この電流 $I_L$ が抵抗素子 $R_{11}$ を通り接地GNDに流れる。一方、ドライバトランジスタDT1またはDT2の基板（Pウェル）には電流が流れないので、基板電位は接地レベルに保持される。

【0027】したがって、ドライバトランジスタDT1またはDT2のソースと基板（Pウェル）間に電位差が生じ、これが基板バイアスとなり、ドライバトランジスタDT1、DT2のしきい値電圧 $V_{th}$ が $V_{th1}$ から $V_{th2}$ へ上昇する。

【0028】この基板バイアス効果によるしきい値電圧の変化 $\Delta V_{th}$ は、次式で与えられる。

ブスレッショルドリーク電流 $I_L$ は $I_{L1}$ から $I_{L2}$ と大きく減少する。

【0030】これに対して、動作時には、チップイネーブル信号CEがハイレベルでスタンバイ電流制御回路10のNMOSトランジスタNT<sub>11</sub>のゲートに印加される。これにより、NMOSトランジスタNT<sub>11</sub>は導通状態に保持されることから、各SRAMセルCL1、CL2、～、CLnのドライバトランジスタDT1およびDT2のソースが接続された負側ソース共通配線 $V_{ss1}$ と基板が接続された基板電位線 $V_{pwl}$ とは電氣的に接続状

態に保持される。その結果、負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ とは同電位に保持され、高速読み出し動作が維持される。

【0031】以上説明したように、本実施例によれば、SRAMセルのドライバトランジスタDT1、DT2のソースを負側ソース共通配線 $V_{SS1}$ に接続し、基板を基板電位線 $V_{PWL}$ に接続して、負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ とをスタンバイ時にはチップイネーブル信号CEにより非導通状態に保持されるNMOSTランジスタNT<sub>11</sub>により作動的に接続し、かつ、負側ソース共通配線 $V_{SS1}$ と接地GNDとの間に抵抗素子R<sub>11</sub>を接続することにより、スタンバイ時に、ドライバトランジスタDT1、DT2に流れるサブスレッショルドリーク電流ILを抵抗素子R<sub>11</sub>に流してソースと基板間に電位差を持たせ、基板バイアス効果によりドライバトランジスタDT1、DT2のしきい値電圧 $V_{th}$ を上昇させるようにしたので、低電圧化、高速化を実現しつつ、スタンバイ電流の低減を図れる利点がある。

【0032】

【実施例2】図3は、本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第2の実施例を示す回路図である。本実施例が上述した実施例1と異なる点は、動作時に抵抗素子R<sub>11</sub>の両端をバイパスして、負側ソース共通配線 $V_{SS1}$ を抵抗素子R<sub>11</sub>を介さずに接地GNDに接続するためのNMOSTランジスタNT<sub>12</sub>を設けたことにある。

【0033】本実施例によれば、上述した実施例1の効果と同様の効果を得られることはもとより、動作時に負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ とを同電位に確実に保持でき、安定な高速読み出し動作を実現できる。

【0034】

【実施例3】図4は、本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第3の実施例を示す回路図である。本実施例が上述した実施例1と異なる点は、基板電位線 $V_{PWL}$ およびNMOSTランジスタNT<sub>11</sub>の接続中点と抵抗素子R<sub>11</sub>および接地GNDの接続中点との接続ラインに、インバータIN<sub>11</sub>を介してゲートに供給される反転されたチップイネーブル信号CEによりオン、オフされるNMOSTランジスタNT<sub>13</sub>を接続し、スタンバイ時にのみNMOSTランジスタNT<sub>13</sub>を介して基板電位線 $V_{PWL}$ を接地GNDに接続するようにしたことにある。

【0035】本構成における動作時には、チップイネーブル信号CEによりNMOSTランジスタNT<sub>13</sub>は非導通状態に保持され、NMOSTランジスタNT<sub>11</sub>およびNT<sub>12</sub>が導通状態に保持されることから、負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ とは一つの経路を通して接地ラインに接続される。したがって、本実施例によれば、上述した実施例1の効果と同様の効果を得られる

ことはもとより、動作時に負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ とを同電位に確実に保持でき、動作時の基板バイアスの発生を確実に防止でき、安定な高速読み出し動作を実現できる。

【0036】

【実施例4】図5は、本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第4の実施例を示す回路図である。本実施例と上述した実施例2と異なる点は、抵抗素子をNMOSTランジスタRNT<sub>11</sub>により構成し、スタンバイ時に回路に流れる電流により抵抗値が大きくなるように帰還をかけたことにある。

【0037】具体的には、負側ソース共通配線 $V_{SS1}$ と接地GNDとをチップイネーブル信号CEの入力に応じて作動的に接続するNMOSTランジスタRNT<sub>11</sub>を設け、各SRAMセルCL<sub>1</sub>、CL<sub>2</sub>、…、CL<sub>n</sub>の負荷トランジスタLT<sub>1</sub>、LT<sub>2</sub>のソースを正側ソース共通配線 $V_{CC1}$ に接続し、この正側ソース共通配線 $V_{CC1}$ と電源電圧 $V_{CC}$ の供給ラインとの間に、PMOSTランジスタPT<sub>11</sub>およびPT<sub>12</sub>を並列に接続し、抵抗用NMOSTランジスタRNT<sub>11</sub>のゲートを正側ソース共通配線 $V_{CC1}$ に接続し、PMOSTランジスタPT<sub>11</sub>のゲートを負側ソース共通配線 $V_{SS1}$ に接続し、PMOSTランジスタPT<sub>12</sub>のゲートをチップイネーブル信号CEと逆相の信号CE<sub>—</sub>の入力ラインに接続した構成となっている。

【0038】本構成におけるスタンバイ時には、スタンバイ時には、チップイネーブル信号CEがローレベルでスタンバイ電流制御回路10cのNMOSTランジスタNT<sub>11</sub>、NT<sub>12</sub>のゲートに印加され、その逆相のハイレベルの信号CE<sub>—</sub>がPMOSTランジスタPT<sub>12</sub>のゲートに印加される。これにより、NMOSTランジスタNT<sub>11</sub>、NT<sub>12</sub>およびPMOSTランジスタPT<sub>12</sub>は非導通状態に保持される。その結果、各SRAMセルCL<sub>1</sub>、CL<sub>2</sub>、…、CL<sub>n</sub>のドライバトランジスタDT1およびDT2のソースが接続された負側ソース共通配線 $V_{SS1}$ と、基板が接続された基板電位線 $V_{PWL}$ とは電氣的に非接続状態に保持され、分離される。また、スタンバイ時には、ワード線WLはローレベルに設定される。その結果、負側ソース共通配線 $V_{SS1}$ は抵抗素子R<sub>11</sub>に接続され、基板電位線 $V_{PWL}$ は接地ラインとの接続状態が保持される。

【0039】このような状態において、正側ソース共通配線 $V_{DD1}$ は略 $V_{CC}$ レベルにあることから、抵抗用NMOSTランジスタRNT<sub>11</sub>のオン抵抗が下がり導通状態になる。このとき、ハイレベルに保持されている記憶ワードND1またはND2に接続されているドライバトランジスタDT1またはDT2に流れるサブスレッショルドリーク電流ILが、抵抗用NMOSTランジスタRNT<sub>11</sub>を通り接地GNDに流れる。一方、ドライバトランジスタDT1またはDT2の基板(Pウェル)には電流

が流れないので、基板電位は接地レベルに保持される。

【0040】したがって、ドライバトランジスタDT1またはDT2のソースと基板(Pウェル)間に電位差が生じ、これが基板バイアスとなり、ドライバトランジスタDT1、DT2のしきい値電圧 $V_{TH}$ が $V_{TH1}$ から $V_{TH2}$ へ上昇する。このとき、負側ソース共通配線 $V_{SS1}$ の電位は上昇することから、ゲートが負側ソース共通配線 $V_{SS1}$ に接続されたPMOSトランジスタPT<sub>11</sub>のオン抵抗が増大し、正側ソース共通配線 $V_{CC1}$ へのいわゆる電源電流が減少する。その結果、抵抗用NMOSトランジスタRNT<sub>11</sub>のオン抵抗が増大し、また、サブスレッショルドリーク電流 $I_L$ が減少する。また、このとき、負側ソース共通配線 $V_{SS1}$ の電位は降下する。負側ソース共通配線 $V_{SS1}$ の電位が降下したことに伴い、PMOSトランジスタPT<sub>11</sub>のオン抵抗が減少し、正側ソース共通配線 $V_{CC1}$ への電源電流が増大する。以上のように、スタンバイ時には上述した帰還ループによるセルフバイアスによって、電源電流が一定値になるように制御され、サブスレッショルドリーク電流 $I_L$ が効果的に抑制される。

【0041】これに対して、動作時には、チップイネーブル信号CEがハイレベルでスタンバイ電流制御回路10cのNMOSトランジスタNT<sub>11</sub>、NT<sub>12</sub>のゲートに印加され、その逆相のローレベルの信号CE<sub>̄</sub>がPMOSトランジスタPT<sub>12</sub>のゲートに印加される。これにより、NMOSトランジスタNT<sub>11</sub>、NT<sub>12</sub>およびPMOSトランジスタPT<sub>12</sub>は導通状態に保持されることから、各SRAMセルCL1、CL2、～、CLnのドライバトランジスタDT1およびDT2のソースが接続された負側ソース共通配線 $V_{SS1}$ と、基板が接続された基板電位線 $V_{PWL}$ とは電氣的に接続状態に保持され、電源電圧 $V_{CC}$ の供給ラインと正側ソース共通配線 $V_{CC1}$ とも電氣的に接続状態に保持される。その結果、負側ソース共通配線 $V_{SS1}$ と基板電位線 $V_{PWL}$ 、並びに電源電圧 $V_{CC}$ の供給ラインと正側ソース共通配線 $V_{CC1}$ とは同電位に保持され、高速読み出し動作が維持される。

【0042】本実施例によれば、トランジスタのチャネル長が微細化された場合、スタンバイ時に流れるサブス

レッショルドリーク電流を効果的に抑制できる。

【0043】

【発明の効果】以上説明したように、本発明によれば、低電圧化、高速化を実現しつつ、スタンバイ電流を低減することができる利点がある。

【図面の簡単な説明】

【図1】本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第1の実施例を示す回路図である。

【図2】拡散層を用いて形成した抵抗素子のレイアウトパターン例を示す図である。

【図3】本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第2の実施例を示す回路図である。

【図4】本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第3の実施例を示す回路図である。

【図5】本発明に係るSRAMセルアレイ用スタンバイ電流制御回路の第4の実施例を示す回路図である。

【図6】MOSトランジスタにおけるしきい値電圧とサブスレッショルドリーク電流との関係を示す特性図である。

【図7】CMOS方式による一般的なTFT負荷型SRAMの等価回路を示している。

【符号の説明】

B、B<sub>̄</sub>…ビット線

WL…ワード線

CL1、CL2、～、CLn…SRAMセル

DT1、DT2…ドライバトランジスタ

LT1、LT2…負荷トランジスタ

WT1、WT2…ワードトランジスタ

$V_{PWL}$ …基板電位線

$V_{SS1}$ …負側ソース共通配線

$V_{CC1}$ …正側ソース共通配線

$V_{CC}$ …電源電圧

10…スタンバイ電流制御回路

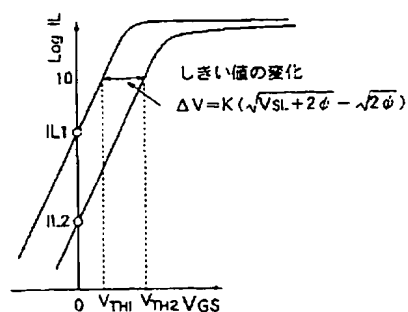
R<sub>11</sub>…抵抗素子

RNT<sub>11</sub>…抵抗用NMOSトランジスタ

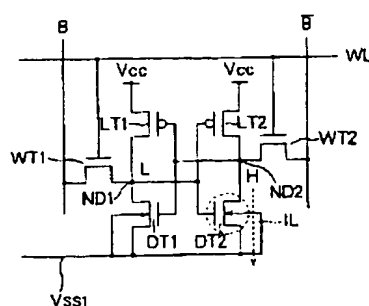
NT<sub>11</sub>～NT<sub>13</sub>…NMOSトランジスタ

PT<sub>11</sub>、PT<sub>12</sub>…PMOSトランジスタ

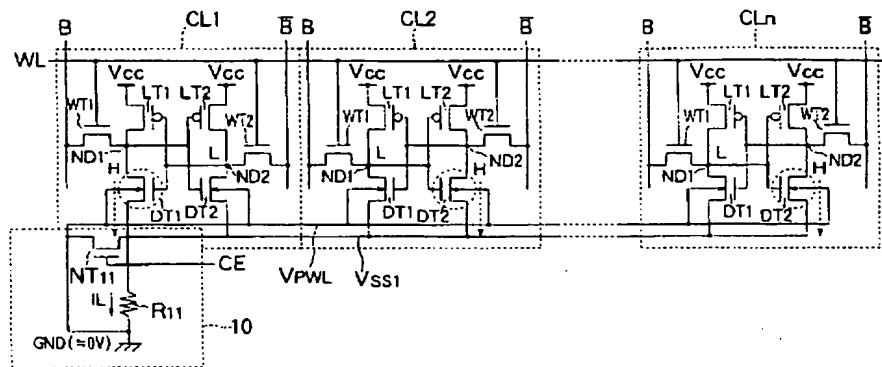
【図6】



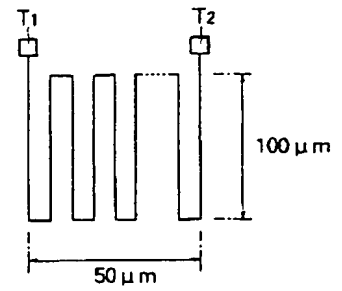
【図7】



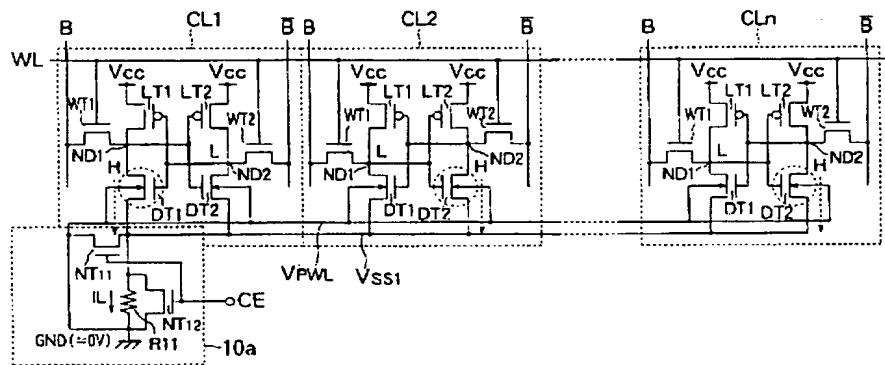
【図1】



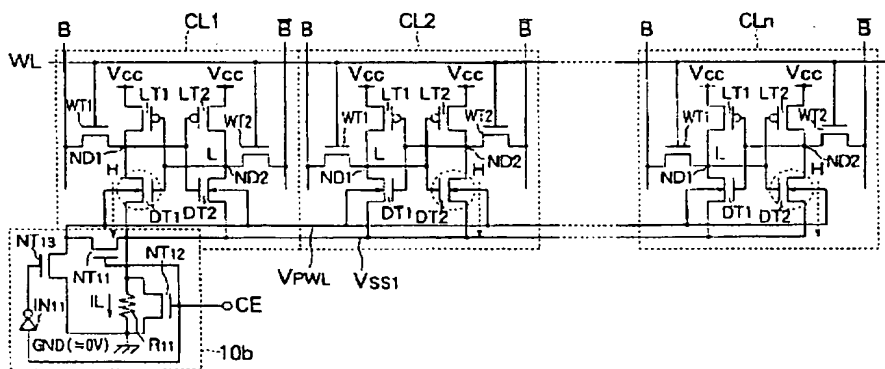
【図2】



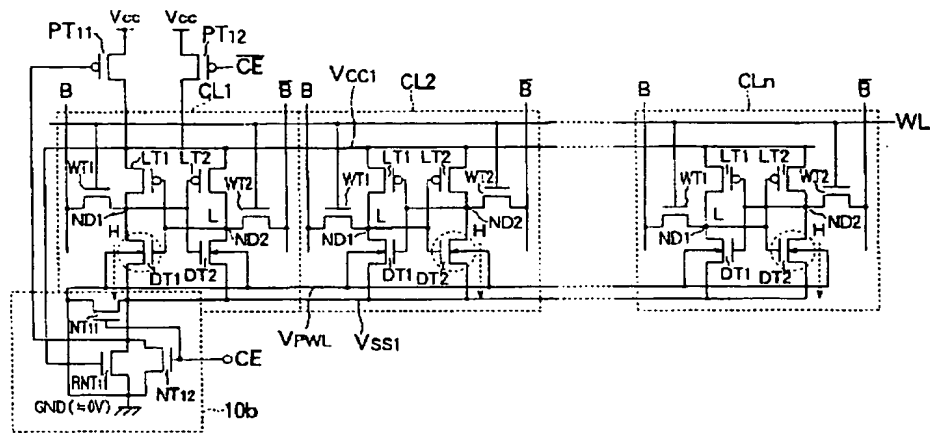
【図3】



【図4】



【図 5】



フロントページの続き

(51) Int. Cl. 6

H 0 3 K 17/687

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 3/356

E

9473-5 J

17/687

Z





JP7296587

Biblio

Page 1

Drawing



## STANDBY CURRENT CONTROL CIRCUIT

Patent Number: JP7296587

Publication date: 1995-11-10

Inventor(s): MIYAJI FUMIO; others: 01

Applicant(s): SONY CORP

Requested Patent: ☐ JP7296587

Application Number: JP19940092328 19940428

Priority Number(s):

IPC Classification: G11C11/413; G11C11/412; H03K3/356; H03K17/687

EC Classification:

Equivalents:

### Abstract

**PURPOSE:** To realize a stand-by current control circuit reducing a standby current while realizing a low voltage and a high speed.

**CONSTITUTION:** Sources of driver transistors DT1, DT2 of an SRAM cell are connected to a negative side source common wiring Vss1, and a substrate is connected to a substrate potential line VPWL, and the negative side source common wiring VSS1 and the substrate potential line VPWL are connected actuatedly by an NMOS transistor NT11 held to a non-conductive state by a chip enable signal CE at a standby time. Then, by connecting a resistance element R11 between the negative side source common wiring VSS1 and the ground GND, a subthreshold leakage current IL flowing through the driver transistors DT1, DT2 is made to flow through the resistance element R11 at the stand-by time, and a potential difference is given between the source and the substrate, and the threshold voltage VTH of the driver transistors DT1, DT2 is raised by a substrate bias effect. Thus, the subthreshold leakage current IL is reduced.

Data supplied from the esp@cenet database - I2